

JAPANESE PATENT OFFICE  
PATENT JOURNAL (A)  
KOKAI PATENT APPLICATION NO. HEI 11[1999]-67853

Int. Cl. <sup>6</sup> :	H 01 L 21/66 //H 01 L 21/02
Filing No.:	Hei 9[1997]-229734
Filing Date:	August 26, 1997
Publication Date:	March 9, 1999
No. of Claims:	6 (Total of 11 pages; OL)
Examination Request:	Not filed

WAFER MAP ANALYSIS ASSISTING SYSTEM AND WAFER MAP ANALYSIS METHOD

Inventor:	Hiroshi Kozaki Mitsubishi Electric Corp. 2-2-3 Marunouchi, Chiyoda-ku, Tokyo
Applicant:	000006013 Mitsubishi Electric Corp. 2-2-3 Marunouchi, Chiyoda-ku, Tokyo
Agent:	Shigeaki Yoshida, patent attorney, and 2 others

[There are no amendments to this patent.]

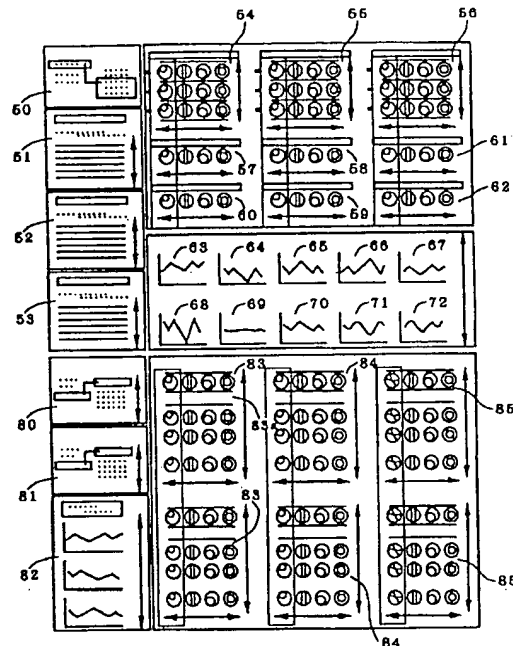
Abstract

Problem

The purpose of this invention is to assist 2-dimensional analysis using a wafer map for solving various problems related to a wafer.

### Means to solve

On a screen, the images of the wafer map are displayed with classification for each of the manufacturing steps and items of the device and for inspection. In addition to images of the wafer map, city-related trend charts are also annexed.



### Claims

1. A wafer map analysis assisting system characterized by the fact that it has the following means:

an observing means, which forms the map data pertaining to plural wafer maps obtained in the various steps of manufacturing of a semiconductor device and which provides a link indicating the relationship between the map data and said semiconductor manufacturing process;

an input means for inputting text data related to said plural wafer maps, respectively;

a memory means, which stores the prescribed data pertaining to said semiconductor manufacturing process, said map data annexed with said link from said observing means, and said text data from said input means;

and an image display means, which enables display of an image pertaining to said prescribed data concerning said semiconductor manufacturing process and said text data stored in said memory means, and, at the same time, which takes said map data from said memory

means, classifies them according to said link, and enables screen display of the images of wafer maps described in said map data.

2. The wafer map analysis assisting system described in Claim 1 characterized by the fact that said image display means displays the numerical data in said text data as graphs, and, at the same time, it indicates in a visibly identifiable manner the position of the numerical data pertaining to the assigned wafer map on the displayed graph.

3. The wafer map analysis assisting system described in Claim 1 characterized by the fact that said map data contain information of the absolute coordinates and absolute dimensions of various wafer maps, and said image display means makes use of said information of the absolute coordinates and absolute dimensions and displays the images of plural wafer maps overlapped on each other.

4. The wafer map analysis assisting system described in Claim 1 characterized by the fact that said map data contain information of the absolute coordinates and absolute dimensions of various wafer maps, and said image display means makes use of said information of the absolute coordinates and absolute dimensions and displays the image of a wafer map overlapped with an image of mask data.

5. The wafer map analysis assisting system described in Claim 1 characterized by the fact that said map data contain information of the absolute coordinates and absolute dimensions of various wafer maps, and said image display means makes use of said information of the absolute coordinates and absolute dimensions and displays the image of a wafer map overlapped with an image of shape simulation.

6. A wafer map analysis method characterized by the fact that the wafer map analysis method makes use of the image displayed on an image display means to analyze the wafer map, and it has the following steps of operation:

a step in which the map data pertaining to plural wafer maps obtained in the various steps of manufacturing of the semiconductor device are formed and a link indicating the relationship between the map data and said semiconductor manufacturing process is attached to said map data;

a step in which the text data related to said plural wafer maps, respectively, are input;

a step in which the prescribed data pertaining to said semiconductor manufacturing process, said map data annexed with said link from said observing means, and said text data from said input means are stored;

and a step in which in order to analyze said wafer maps, said prescribed data concerning said manufacturing process and said text data stored in said memory means are displayed, and, at the same time, said map data that have been stored are taken and are classified according to said

link, and the images of the wafer maps described in said map data are displayed on said image display means according to the classification.

#### Detailed explanation of the invention

[0001]

Technical field of the invention

This invention pertains to a wafer map analysis assisting system and wafer map analysis method for analysis of product defects and various abnormalities that occur during the manufacturing process of semiconductor devices by means of images of wafer maps displayed on a monitor.

[0002]

Prior art

On a semiconductor manufacturing line, before treatment of a product lot, a pair wafer or another monitor wafer is used to check the state of various manufacturing devices. When the state of a manufacturing device is checked, mock operation of the manufacturing device is carried out, attachment of dirt on the test wafer is checked, transportation, etc. are checked, and whether or not the manufacturing device is in an appropriate state for manufacturing is checked. After the state checkup, products are manufactured for a prescribed lot number. The numerical data obtained in checking the device state and the numerical data obtained in product treatment are used in quality control of products using a statistical quality control means or the like. Examples of numerical data include the number of dirt particles attached on the wafer, the number of defects formed on the wafer, the dimensions of the pattern formed on the wafer, the thickness of the film formed on the wafer, the measured value of error in mask matching, the concentration of impurities, the resistance of the film formed on the wafer, etc.

[0003]

Also, the map data collected on the manufacturing line are needed if there is doubt in the stability of the operation in statistical quality control (SQC) and if wafer map and chip analysis for a lot have a yield lower than the prescribed level. Usually, the electrical characteristics data obtained after completion of manufacturing and the map data of test results are used to analyze for causes of problems.

[0004]

Figure 7 is a schematic diagram illustrating the constitution of a conventional wafer map analysis assisting system. In Figure 7, (10) represents data concerning the manufacturing

process; (11) represents data pertaining to statistical quality control; (12) represents map data; and (13) represents data pertaining to the analysis of cross-sectional defects. In addition to the manufacturing flow, the data pertaining to the manufacturing process also include numerical data measured in the various manufacturing steps of operation. The manufacturing flow corresponds to the various product manufacturing steps, including the pre-treatment step, film forming step, lithographic step, etching step, defect detecting step, and other steps. The data pertaining to the manufacturing steps are stored as document and computer data, and they can be retrieved appropriately as needed. For example, data (11) pertaining to statistical quality control may be provided for processing into graphic or other easily visible forms. Map data (12) contain data pertaining to the test data adopted in the dummy operation for device control, data pertaining to the wafer extracted as a sample during an actual manufacturing operation, and data obtained in various tests performed after completion of product manufacture. Since map data (12) display various types of information of the image of the wafer, the data amount is large. Data (13) pertaining to analysis of cross-sectional defects are obtained from the image of wafer cross section as observed on a scanning electron microscope. Data (11) pertaining to statistical quality control, map data (12), etc. are provided as the document and computer data.

[0005]

Figure 8 is a schematic diagram illustrating an example of the relationship between the manufacturing process and measurement devices. In Figure 8, steps ST1-ST5 are the pre-treatment step, film forming step, lithographic step, etching step, and defect checking step, respectively. It is also possible to perform dummy operation in the film forming step before beginning the manufacturing operation using a monitor wafer to check for dust. Images (19) of sites where dust is attached on the wafer are collected as map data (19). Dummy operation may also be carried out for other steps of operation.

[0006]

After film forming step ST2, the thickness of the formed film is measured, and map data (20a) are formed. From map data (20a), for example, wafer map (30) or another image is obtained. Similarly, after each of lithographic step ST3, etching step ST4, and defect checking step ST5, the resist pattern and etching pattern are measured, or defects are determined to form map data (21a)-(23a). Using map data (21a)-(23a), it is possible to obtain wafer maps (31)-(33) as images.

[0007]

A conventional wafer map analysis assisting system is limited to special cases, such as determination of problem generation in the manufacturing process, questions regarding the stability of operation, or generation of a lot with a yield that is lower than the prescribed level, after manufacturing, and data (10) pertaining to the manufacturing process, data (11) pertaining to statistical quality control, map data (12), data (13) pertaining to analysis of defects of cross section, etc. are presented individually.

[0008]

Problems to be solved by the invention

With the aforementioned constitution of a conventional wafer map analysis assisting system, only numerical control is carried out, and map data, event data, and other text data are usually not referenced. Consequently, if an abnormality is not displayed as numerical data, the system cannot function well. This is a disadvantage.

[0009]

For example, even when the numerical data of the checking results are identical, if the distribution of the numerical data, which should be random for a normal wafer, is biased, it is quite possible for problems to occur in the near future. However, when only numerical control is performed, it is inappropriate for the analysis to issue a warning regarding the possibility of problems in the future.

[0010]

Also, statistical quality control using numerical data alone cannot perform an analysis that can influence devices inside the wafer. Also, it is impossible to learn the causes of troubles before performing the analysis of defects. Consequently, problems that could be prevented if they were detected during manufacturing process are overlooked, and the problems may occur in the entire lot.

[0011]

The objective of this invention is to solve the aforementioned problems of conventional methods by providing a type of wafer map analysis assisting system characterized by the fact that by means of wafer maps, it is possible to predict the probability of generation of modulation or other problems caused by masks that will occur due to a peculiar trend of the manufacturing device, precursors of problems, and problems during change in the type of production.

[0012]

Means to solve the problems

The first invention provides a wafer map analysis assisting system characterized by the fact that it has the following means: an observing means, which forms map data pertaining to plural wafer maps obtained in the various steps of manufacturing of the semiconductor device and which provides a link indicating the relationship between the map data and said semiconductor manufacturing process; an input means for inputting text data related to said plural wafer maps, respectively; a memory means, which stores prescribed data pertaining to said semiconductor manufacturing process, said map data annexed with said link from said observing means, and said text data from said input means; and an image display means, which enables display of an image pertaining to said prescribed data concerning said semiconductor manufacturing process and said text data stored in said memory means, and, at the same time, which takes said map data from said memory means, classifies them according to said link, and enables screen display of the images of wafer maps described in said map data.

[0013]

The second invention pertains to the wafer map analysis assisting system of the first invention characterized by the fact that said image display means displays the numerical data in said text data as graphs, and, at the same time, it indicates in a visibly identifiable manner the position of the numerical data pertaining to the assigned wafer map on the displayed graph.

[0014]

The third invention pertains to the wafer map analysis assisting system of the first invention characterized by the fact that said map data contain information of the absolute coordinates and absolute dimensions of various wafer maps, and said image display means makes use of said information of the absolute coordinates and absolute dimensions and displays the images of plural wafer maps overlapped on each other.

[0015]

The fourth invention pertains to the wafer map analysis assisting system of the first invention characterized by the fact that said map data contain information of the absolute coordinates and absolute dimensions of various wafer maps, and said image display means makes use of said information of the absolute coordinates and absolute dimensions and displays the image of a wafer map overlapped with an image of mask data.

[0016]

The fifth invention pertains to the wafer map analysis assisting system of the first invention characterized by the fact that said map data contain information of the absolute coordinates and absolute dimensions of various wafer maps, and said image display means makes use of said information of the absolute coordinates and absolute dimensions and displays the image of a wafer map overlapped with an image of shape simulation.

[0017]

The sixth invention provides a wafer map analysis method characterized by the fact that the wafer map analysis method makes use of the image displayed on an image display means to analyze the wafer map, and it has the following steps of operation: a step in which the map data pertaining to plural wafer maps obtained in the various steps of manufacturing of the semiconductor device are formed and a link indicating the relationship between the map data and said semiconductor manufacturing process is attached to said map data; a step in which the text data related to said plural wafer maps, respectively, are input; a step in which the prescribed data pertaining to said semiconductor manufacturing process, said map data annexed with said link from said observing means, and said text data from said input means are stored; and a step in which in order to analyze said wafer maps, said prescribed data concerning said manufacturing process and said text data stored in said memory means are displayed, and, at the same time, said map data that have been stored are taken out and are classified according to said link, and the images of the wafer maps described in said map data are displayed on said image display means according to the classification.

[0018]

#### Embodiments of the invention

Embodiment 1. Figure 1 is a block diagram illustrating the constitution of the wafer map analysis assisting system in Embodiment 1. In Figure 1, (1) represents an observing means, which forms the map data pertaining to the plural wafer maps obtained in the various steps of the semiconductor manufacturing process and applies a link that indicates the correlation between the semiconductor manufacturing steps and said map data; (2) represents an input means for inputting numerical data related to the plural wafer maps, respectively; (3) represents a memory means for storing data pertaining to the semiconductor manufacturing process, the map data equipped with the link, and the numerical data; and (4) represents an image display means, which enables display of the image pertaining to the data concerning said semiconductor manufacturing process and the numerical data, and, at the same time, which takes said map data

from said memory means, classifies them according to said link, and enables screen display of images of the wafer maps described in said map data.

[0019]

For example, as shown in Figure 8, observing means (1) contains film thickness measurement device (20) and various other measurement devices, defect checking device (23), etc. Usually, these devices individually hold data (20a)-(23a), respectively. However, when the line processing devices, such as film thickness measurement device (20), etc. are connected online to a computer, upon completion of each processing of each device, the processing records, such as the processing start and end dates and times at each device, are used in data collection and processing by means of CGI (Common Gateway Interface), JAVA (registered trademark) manufactured by Sun Microsystems Inc., or other software. The data collected and processed in this way are stored in a data base in memory means (3). The data that should be stored in memory means (3) include the processing start date and time, end date and time, processing operator, process sequence No. for the lot, process name, processing device code, processing recipe, processing parameters, comment notes, processing wafer number, processing results, etc. Among the necessary data, data that are not transmitted from observing means (1) are input to memory means (3) using input means (2). For example, input means (2) may be the terminal of a computer, or the like. As far as the data file form is concerned, any file that can be handled by an HTML generating program, such as CSV, SYLK, etc., may be adopted. Also, there is no limitation on the data update method, which may be periodic, nonperiodic, automatic, semi-automatic, or manual. The aforementioned necessary data stored to memory means (3) are processed into character information or graphics and are displayed on image display means (4). For a graph, data may be displayed for different devices and equipment. Since the necessary data contain the processing start date and time and the processing end date and time of the device at each site, it is possible to plot the data and any processing date pertaining to manufacturing under the assigned conditions. For the graph, when an internet browser is used, the following methods may be adopted: method in which the data are converted to a graph beforehand and the graph is then converted to a file format for use; method in which a plug-in scheme is adopted for the browser itself and the graph obtained from another application is linked; and method in which the JAVA language is used.

[0020]

Also, in order to display the wafer map, when the processing devices of the manufacturing line are connected to the computer online, upon completion of processing of the lot by each processing device, if the obtained image data are bit map or another uncompressed

file, the format is converted to GIF (Graphics Interchange Format), JPEG (Joint Photographic Expert Group), or another compressed image file, and one file is formed for each event or several related files may be combined to form a file to obtain a data base. When the wafer map output device annexed to the processing device does not have a file output function, one may print the data on a sheet of paper, and then scan the print by a scanner so as to form a file that can be displayed on an internet browser.

[0021]

The wafer maps obtained in the wafer process include those for the film thickness of the insulating film, the film thickness of the metal film, the pattern dimensions, the concentration of impurities, the film resistance, the pattern defects, foreign objects, electrical characteristics, etc. The wafer maps obtained upon completion of the wafer process include those for electrical characteristics, test results, etc. The data file formats include GIF, JPEG, and other formats that can be displayed on an internet browser. Also, the data update methods include the periodic method, nonperiodic method, automatic method, semi-automatic method, and manual method. Any of them may be used. The wafer data pertaining to the wafer maps stored in memory means (3) are displayed as images on image display means (4). In this case, in order to clarify the relationship between map data (20a)-(23a) and the semiconductor manufacturing process, observation means (1) attaches the data pertaining to the processing date and time to the file name of the lot as a link.

[0022]

Figure 2 is a schematic diagram illustrating the idea of the constitution of the wafer map analysis assisting system. When this system is realized by an internet browser or when a single application is constructed, data (10) pertaining to the manufacturing process, data (11) pertaining to statistical quality control, map data (12), and data (13) pertaining to analysis of defects of the cross section are stored as data base (14), as shown in Figure 2. For example, map data (12) and data (13) pertaining to analysis of defects of the cross section are transferred from observation means (1) to memory means (3), and they are stored as data base (14) in memory means (3). For example, data (10) pertaining to the manufacturing process and data (11) pertaining to statistical quality control are input from input means (2), and they are stored as data base (14) in memory means (3). Data base (14) is stored in memory means (3) shown in Figure 1. Data base (14) is retrieved by terminal (15). This terminal (15) is contained in image display means (4).

[0023]

Figure 3 illustrates an example of the constitution of a screen of the wafer map analysis assisting system in Embodiment 1. Roughly, the picture shown in Figure 3 can be divided into two regions, namely, an upper data display region concerning devices and a lower data display region concerning equipment information. (50) represents the region displaying information concerning devices. (51)-(53) represent regions for describing information concerning manufacturing processes for three lots selected by region (50), respectively. (54)-(56) represent collections of wafer maps obtained in the manufacturing processes for the three lots, respectively. (57)-(59) represent collections of wafer maps obtained in measurement of electrical characteristics of the three lots, respectively. (60)-(62) represent collections of wafer maps that indicate test results concerning the three lots, respectively. (63)-(72) represent various trend charts.

[0024]

Trend chart (63) pertains to the change in the yield during the prescribed period. Trend charts (64), (67) and (72) pertain to changes in film thickness and dimensions at different sites in the prescribed period. Trend charts (65) and (70) pertain to changes in the resist dimensions of the pattern at different sites in the prescribed period. Trend charts (66) and (67) pertain to changes in the finished dimensions of the pattern at different sites in the prescribed period. Trend chart (68) pertains to changes in the concentration of impurities in the prescribed period. Trend chart (69) pertains to changes in the resistance in the prescribed period.

[0025]

In region (50) that displays information concerning devices, device types, lot No., etc. are described. By selecting the lot No., information related to the lot is described in the upper picture. In regions (51)-(53) pertaining to the manufacturing process, the processing date, sequence No., step name, recipe, parameters, processing results, judgments, etc. are described. In regions (54)-(56), the wafer maps are displayed in three rows and four columns. In this case, different rows correspond to different steps and equipment. Also, other different meanings may be assigned for the different rows. As far as the picture layout is concerned, as shown in Figure 3, for both the longitudinal and lateral layout configurations, the processing results of the same wafer No. are set as a column (or a row), a series of maps for comparison are displayed in any time sequence, and they are arranged to enable understanding of the change in the map over time. Frames (73)-(75) represent wafer maps belonging to the same wafer No. in various lots, respectively. Also, when all of the information cannot be described in the region, the picture can

be scrolled in the direction indicated by the arrow. It is possible to scroll each set of map data on the screen, and it is also possible to scroll using a menu on the operating system of the computer.

[0026]

In the following, an explanation will be provided for the case when the wafer map analysis assisting system is used for analysis of the reasons for low yield. From trend chart (63), the lot with a low yield and a standard lot are extracted. From the lots displayed in region (50), the extracted lots are selected. By performing this selection, wafer maps corresponding to the lots are displayed in, say, regions (54)-(62). Since wafer maps are compared between the lot with a low yield and the standard lot, it becomes easier for one to see bias in the distribution that does not occur in the lot with standard yield. Upon completion of display of wafer maps for a series of lots, abnormal wafer maps are searched, and wafer maps in lots of the same type or of different types having similar patterns of wafer maps are searched.

[0027]

By comparing maps, such as wafer maps that display device information during the manufacturing process, wafer maps that display electrical characteristics, and wafer maps that display test results, for the same device or between different types, it is also possible for the system to function in a manufacturing line for other types with small lots. For example, for a DRAM, the fail bit map may be taken as a wafer map for displaying test results. In Figure 3, (80) represents the region for selecting information related to the manufacturing process; (81) represents the region for selecting equipment; (82) represents the region for displaying trend charts that display data for each piece of equipment; and (83)-(85) represent regions with wafer maps of different equipment set side by side from the upper row downward in a time sequence. In region (80), the manufacturing date of the corresponding device or an assigned period for range assignment is displayed as information related to the manufacturing process. The trend chart displayed in region (82) is for monitoring data for pieces of equipment.

[0028]

Now, a case will be described in which the causes for generation of abnormal wafer maps are hypothesized by means of attached data after wafer map searching by the wafer map analysis assisting system. Irrespective of the lot and equipment information, by assigning the manufacturing date of the corresponding device or the range of the manufacturing period, all of the map data are displayed in time sequence (regions (83)-(85)). The equipment data include the processing history, maintenance history, alarm history, regular dust check, and other text data. In particular, the wafer map for the regular dust check that can be obtained by using a monitor

wafer is displayed together with other text information by means of row (86). Also, similar to the display of the wafer maps on said devices, for the measurement wafers, the wafer maps for the same wafer No. are set side by side such that the history of the wafers can be compared. For regions (83)-(86) shown in Figure 3, each row has the same wafer No.

[0029]

In this way, when an abnormal wafer map is observed during manufacturing or after manufacturing, by collecting information of the manufacturing process on the picture as shown in the lower section of Figure 3, it is possible to specify the cause for generation of the abnormal wafer map and the date and time of the generation.

[0030]

In addition, by searching the overall view of other lots which might have the same problem in the same period by means of the entire processing history from region (80), it is easier to handle the problem, and it is possible to reliably treat lots that might have the problem.

[0031]

As shown in Figure 3, for first region (50), second regions (51)-(53), third regions (54)-(56), fifth regions (57)-(59), sixth regions (60)-(62), seventh regions (63)-(72), eighth region (80), ninth region (81) and tenth regions (83)-(85), the supply source consists of a total of 10 HTML sources, that is, a HTML (Hyper Text Markup Language) source for each region. In each HTML source, for the necessary data, novel data formation/data renewal are performed at the time of data update. When all of the data are sent from a single worldwide web server, all the data including the text and image files are stored on the worldwide web. On the other hand, it is also possible to scatter the worldwide server according to the type of the data. In this case, by checking the directory of the dispersed file, it is possible to link the text and the image file by HTML. Also, any tool may be adopted as the tool for forming HTML. For each picture on Figure 3, the frame function of HTML is used to form the combined HTML, and the desired data browser is completed.

[0032]

In the explanation of Embodiment 1, three lots were compared with one another. However, it is also possible to use the system for analysis of defects of one lot or any number of plural lots. Also, when control is carried out by internet browser, control is performed by HTML. On the other hand, when it is realized by a single application, program is made within the application. Consider an example when data analysis is carried out by selecting only one lot.

Figure 4 illustrates a screen for image display means (3). When the screen shown in Figure 4 is displayed, the operator first selects the type of device from selecting branch (90a) for devices in lot selection region (90). For example, in selection branch (90a), there is a selection branch for type (1) of DRAM or type (11) of SRAM. When lots are displayed on selection branch (90b) by selection of the device, lot selection is carried out. For the selected lot, the collection of wafer maps obtained in the manufacturing process, the corresponding notes (92b), the collection (93b) of wafer maps obtained in measurement of the electrical characteristics, and the collection (94b) that show test results are displayed. For these displays, in the section of selection branches (92a)-(94a) displayed in inline QC map region (92), electrical characteristics region (93) and test results region (94), the object is changed by selecting the processing sequence, the chart No., and the test No. Also, these data are displayed by graphs in inline QC data region (95), electrical characteristics region (96) and test results region (97). The graphs related to the manufacturing process include the graphs of yield, film thickness and dimensions, and resist dimensions. In this case, there is a yield graph together with the electrical characteristics graph and test result graph. The lot for which each wafer map is displayed is displayed by circles on the graph to make it visible. Region (98) for the equipment information has a structure such that the wafer map and event description can change the display of the time sequence by selecting the equipment and the date range.

[0033]

Embodiment 2. Figure 5 illustrates the configuration of the screen of the wafer map analysis assisting system in Embodiment 2. The upper portion of Figure 5 pertains to the numerical data and map data, just as in the display shown in Figure 4. The lower portion of Figure 5 is the display for analysis by synthesis of wafer maps. The lower-portion display also contains mask data and simulation image data in addition to the wafer maps pertaining to synthesis. The wafer maps are displayed in region (100) which displays the original maps for map synthesis as the materials for synthesis. In this case, original maps (101)-(104) displayed in region (100) are wafer maps selected from the various regions in the upper portion. The map formed by synthesis of said original maps (101)-(104) is synthetic map (105).

[0034]

When maps are synthesized, image display means (4) shown in Figure 1 is used. Map data in the upper portion of Figure 5 are selected, and, at the same time, for each wafer map, color setting including transparency is performed so that even when individual wafer maps are overlapped, it is still possible to distinguish the information. Then, original maps (101)-(104) are set on the overall display picture. For original maps (101)-(104), coordinate conversion is

performed so that common coordinates are held by using the absolute coordinates continued from the map data. Also, original maps (101)-(104) have absolute dimensions continued from the map data, and, with the absolute coordinates taken into consideration, the dimensions of the overlapped maps are overlapped reflecting the ratio of actual dimensions. By further selecting the synthesized original maps from original map region (100) for map synthesis, map synthesis is carried out. In synthetic map (105) shown here, the offset [is zero], that is, the various original maps are completely overlapped for display. Consequently, the fact that the original maps are overlapped is easily observed. However, as shown in Figure 6, it is also possible to add offset for display. In this case, the wafer and the image that displays the chip in it become identical to the original map. In region (106) below synthetic map (105), the coordinates, size, classification, etc. of the synthesized original map are displayed. Among the results of synthesis of region (106), list items are selected by the pointer of a mouse or the like, so that the point in synthetic map (105) corresponding to the selected list item flickers.

[0035]

Also, it is possible to enlarge a portion of synthetic map (105) to assist analysis. Map synthesis enlarged figure (107) is an enlarged view of the assigned portion in synthetic map (105). Since original map (101) represents test results, in region (108) that displays the enlarged view of original map (101), the test data at the boundary portion of the enlarged chip are displayed as passed (double circle) and speck cracks (triangle), or by other symbols. In this way, too, original map (101) reflects the absolute dimensions in the configuration of the chip, etc. In region (109) that displays the enlarged view of original map (102), the results of the electrical characteristics at the chip boundary are displayed together with the numerals indicating whether the results are within or outside specifications. For example, "0.2" represents within specifications, while "1.5" represents outside specifications. Original map (102) also reflects the absolute dimensions for configuration of the chip, etc. Since original map (103) shows foreign objects on the product wafer during the manufacturing process, in region (110) that displays the enlarged view of original map (103), the enlarged chip boundary line and foreign objects are displayed. The size of the foreign objects and the size of the wafer are displayed in a correct ratio in consideration of the absolute dimensions. Since original map (104) displays the state of dust on a wafer to check the state of the equipment, in region (111) which displays the enlarged view of original map (104), the enlarged boundary line of the chip and dust attached on the wafer are displayed. The size of the dust and the size of the wafer are displayed at a correct ratio in consideration of the absolute dimensions. Also, it is possible to display the measurement results of original maps (101) and (102) by HTML. The image data are used directly on original maps (103) and (104). However, for the image data at the time of enlargement, display occurs after the

coordinates and size for the maps are made identical. At the time of enlargement, in order to recognize and compare them such that they are visually identical to each other, it is preferred that the same resolution be adopted.

[0036]

In this case, in region (112), the mask data and the wafer maps are overlapped. As shown in Figure 1, image display means (4) forms coordinates shared by both the mask data and the wafer maps. Then, the common coordinates are used to display the mask data at sites corresponding to the coordinates shown in regions (110) and (111), and, at the same time, the enlarged view of foreign objects shown in region (110) and the enlarged view of dust shown in region (111) are overlapped. In overlapped display (113), the first and second layers of the mask data are displayed. By comparing the mask data with the map data on the wafer, the wiring layout beneath the interlayer insulating film and hardly observable during the manufacturing process becomes clear, and, from the relationship between the foreign objects and dust and the wiring layout, it is possible to understand the influence of generation of foreign objects on the chip during the manufacturing process. Display (114) of region (112) indicates which original maps are overlapped. The mask data are input from input means (2) and are stored in memory means (3).

[0037]

Similarly, it is possible to overlap the shape simulator and the map data. If it is possible to specify the coordinates of the wafer, it is possible to convert the coordinates on image display means (3) to a position on the shape simulator, and to align the position on the shape simulator and the coordinates of the wafer. Consequently, if it is possible to specify the coordinates of the wafer, it is possible to display the sites of dust and foreign objects on the shape simulator, and it is possible to check which defects are related to the sites where abnormalities take place. The results of the shape simulation are input from input means (2) and are stored in memory means (3). The relationship between the site on the wafer map and the position on the shape simulator is displayed in region (115). In region (115), the image by the shape simulation is formed at the same image resolution as that of the wafer maps, and it can be displayed in 3-dimensional format with unified coordinates and size.

[0038]

When the aforementioned function is realized by internet browser, the map data, map synthetic data, data of the enlarged view, and the data of the shape simulator are linked by interface using a clickable map or CGI or other intermediate ware. When it is realized by an

internet browser, as shown in Figure 5, the various division pictures are combined by the frame function of HTML to complete the desired data browser. When dedicated application is adopted, the pixel number for which the data in the map synthetic language are overlapped is calculated, and, by setting a certain threshold, it is also possible to calculate automatically the causal relation between layers.

[0039]

In Embodiment 2, explanation was provided for map synthesis obtained from one lot. However, the same map synthesis can also be performed using the map data of any number of plural lots. When plural lots are used, for example, from the similarity of maps in step 1, it is possible to check for a problem in equipment, etc.

[0040]

Also, in Embodiment 2, explanation was provided for the case of map synthesis with color setting on the image of wafer maps. However, it is also possible to perform setting changes on a map synthetic image, vertical movement between layers, etc.

[0041]

Also, in Embodiment 2, wafer maps are used, and, for example, the mask data, shape simulation, and other data are displayed as 2-dimensional or 3-dimensional images to perform data analysis. However, it is also possible to operate the wafer map analysis assisting system without simultaneously using these data.

[0042]

In the explanation of Embodiments 1 and 2, all the data are collected in one screen of one terminal. However, it is also possible to divide the data for display on plural terminals. In this case, the same effects as those of said Embodiments 1 and 2 can be realized.

[0043]

Also, in Embodiments 1 and 2, no explanation was provided for the computer and data for control of various data. It is possible to either collect the data into a single set or to disperse the data to the hardware in plural sets. Each data set can be searched by a single computer through an online means or the like, and it is only necessary that the various data sets be connected to each other.

[0044]

Also, in Embodiments 1 and 2, when the internet browser was used, GIF or JPEG was used for the image data for image display. However, any data format of image data may be adopted as long as the data can be displayed on the browser using a plug-in data conversion tool. In the explanation, the data were constructed in a case with highest analysis efficiency when synthesizing resolution of the wafer maps of all types. However, it is also possible to adopt it in a case in which the resolution of the images of all of the wafer maps is not equal, and their sizes are different from each other.

[0045]

Also, in Embodiments 1 and 2, no description was provided for the link to the map data. It is also possible to provide linkage between SEM image photographs, etc. for the products during the manufacturing process and the steps and trend charts, and linkage between the trend charts and the documents.

[0046]

Effect of the invention

As explained above, with the wafer map analysis assisting system described in Claim 1 and the wafer map analysis method described in Claim 6, it is easy to determine deviations in 2-dimensional data distribution visually by means of wafer maps displayed on an image display means. Consequently, it is possible to perform data analysis midway during the manufacturing process without waiting to the end of the manufacturing process.

[0047]

For the wafer map analysis assisting system described in Claim 2, it is possible to achieve direct visual recognition of the relationship between wafer maps and graphs. Consequently, analysis efficiency can be increased.

[0048]

For the wafer map analysis assisting system described in Claim 3, by overlapping wafer maps over each other, differences in positions of data displayed on the wafer maps can be recognized visually. Consequently, it is possible to realize a visual comparison between wafer maps easily.

[0049]

For the wafer map analysis assisting system described in Claim 4, it is possible to predict sites where the possibility is high for generation of abnormalities on a mask from the overlap between wafer maps and the mask, and it is possible to analyze each layer.

[0050]

For the wafer map analysis assisting system described in Claim 5, it is possible to observe the shape of a site with a high possibility of generation of abnormalities from a device from the results of the shape simulation for the site corresponding to a position of the wafer map, and it is possible to perform analysis of the cross section of device without using an actual image.

#### Brief description of the figures

Figure 1 is a block diagram illustrating schematically the constitution of the wafer map analysis assisting system in Embodiment 1.

Figure 2 is a schematic diagram illustrating the constitution of the wafer map analysis assisting system in Embodiment 1.

Figure 3 is a drawing illustrating an example of the constitution of the screen of the wafer map analysis assisting system in Embodiment 1.

Figure 4 is drawing illustrating another example of the constitution of the screen of the wafer map analysis assisting system in Embodiment 1.

Figure 5 is a drawing illustrating an example of the constitution of the screen of the wafer map analysis assisting system in Embodiment 2.

Figure 6 is an enlarged diagram illustrating the synthetic map in Figure 5.

Figure 7 is a schematic diagram illustrating the constitution of a conventional wafer map analysis assisting system.

Figure 8 is a schematic diagram illustrating the relationship between the manufacturing process and wafer maps.

#### Explanation of symbols

- 1 Observing means
- 2 Input means
- 3 Memory means
- 4 Image display means
- 14 Data base
- 15 Terminal

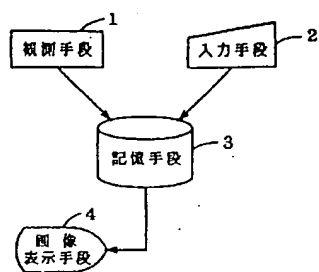


Figure 1

- Key:
- |   |                     |
|---|---------------------|
| 1 | Observing means     |
| 2 | Input means         |
| 3 | Memory means        |
| 4 | Image display means |

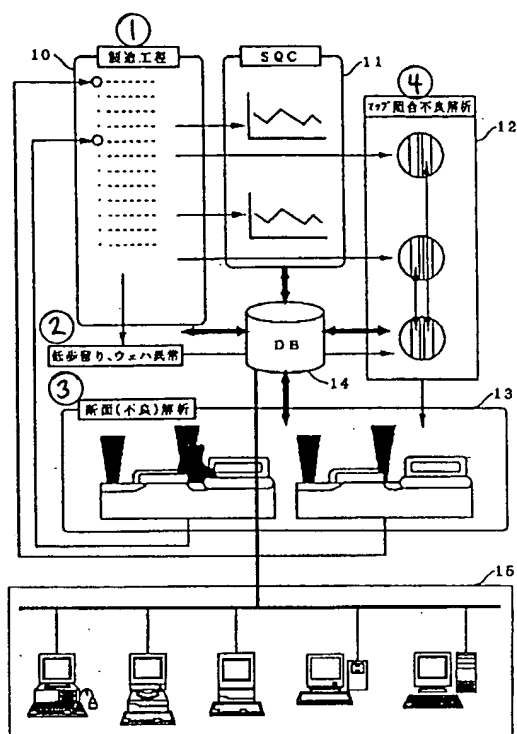


Figure 2

- Key:
- |   |                                       |
|---|---------------------------------------|
| 1 | Manufacturing process                 |
| 2 | Low yield and wafer abnormality       |
| 3 | Analysis of cross section (defects)   |
| 4 | Analysis of defects in map comparison |

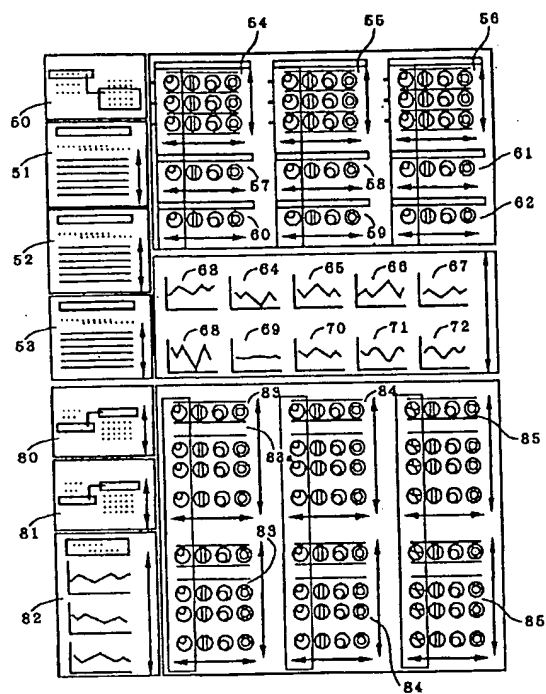


Figure 3

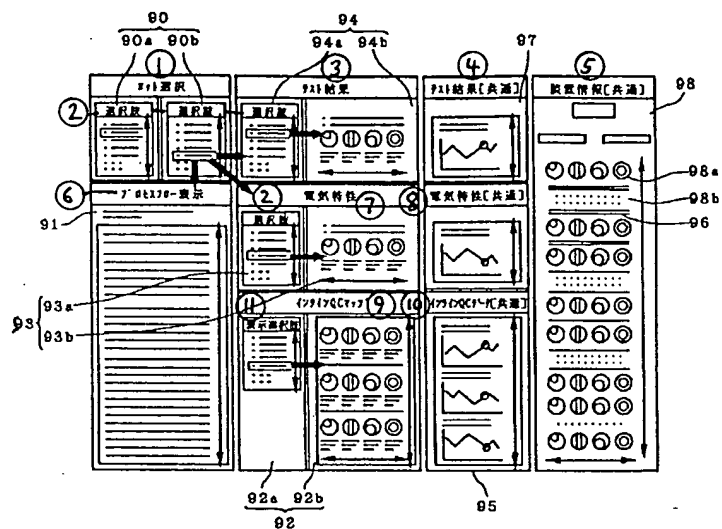


Figure 4

- Key:
- 1 Test selection
  - 2 Selection branch
  - 3 Test results
  - 4 Test results (common)
  - 5 Equipment information (common)
  - 6 Process flow display
  - 7 Electrical characteristics
  - 8 Electrical characteristics (common)
  - 9 Inline QC map
  - 10 Inline QC data (common)
  - 11 Display selection branch

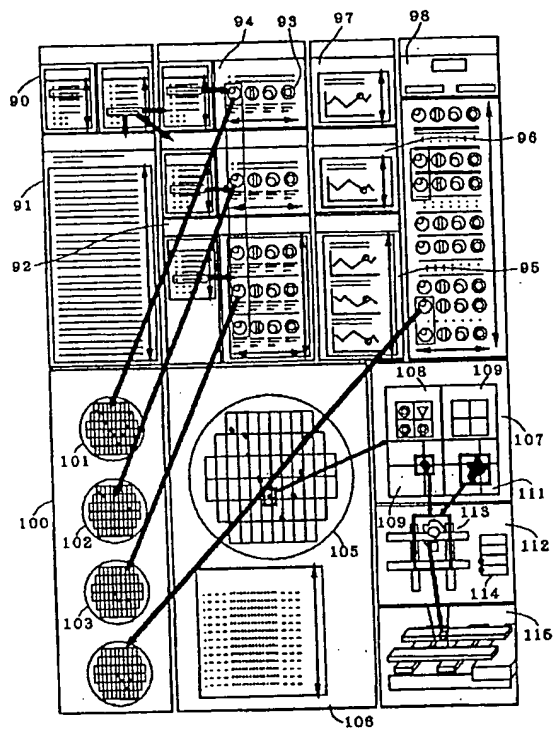


Figure 5

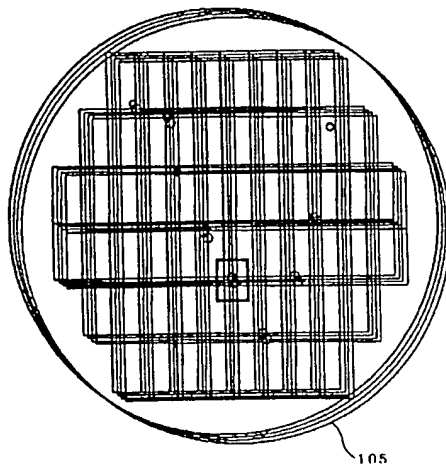


Figure 6

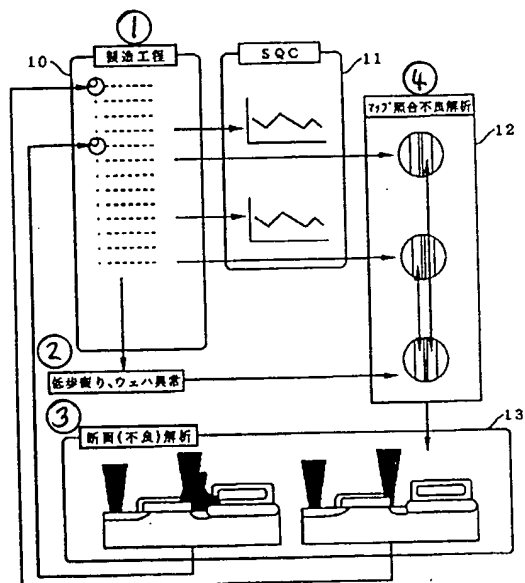


Figure 7

- Key:
- 1 Manufacturing process
  - 2 Low yield and wafer abnormality
  - 3 Analysis of cross section (defects)
  - 4 Analysis of defects in map comparison

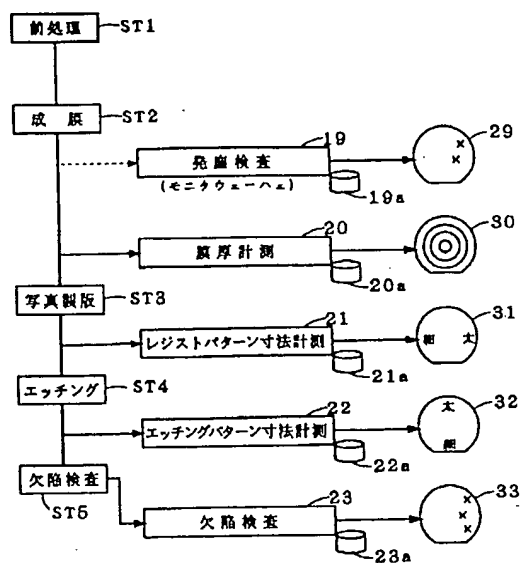


Figure 8

Key:	ST1	Pre-treatment
	ST2	Film formation
	ST3	Photolithography
	ST4	Etching
	ST5, 23	Defect check
	19	Dust check (monitor wafer)
	20	Measurement of film thickness
	21	Measurement of resist pattern dimensions
	22	Measurement of etching pattern dimensions
	31	Fine Wide
	32	Wide
		Fine

Japanese Kokai Patent Application No. Hei 11[1999]-67853

---

Job No.: 598-80128

Ref.: 003338USA/FET/FET/DV

Translated from Japanese by the Ralph McElroy Translation Company  
910 West Avenue, Austin, Texas 78701 USA

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67853

(43) 公開日 平成11年(1999) 3月9日

(51) IntCl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/66

H 0 1 L 21/66

A

// H 0 1 L 21/02

21/02

Z

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願平9-229734

(22) 出願日 平成9年(1997) 8月26日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 小▲ざき▼ 浩司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

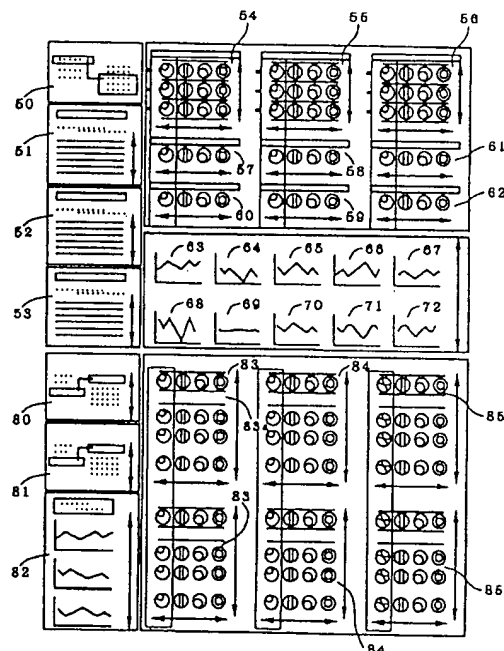
(74) 代理人 弁理士 吉田 茂明 (外2名)

(54) 【発明の名称】 ウェーハマップ解析補助システムおよびウェーハマップ解析方法

(57) 【要約】

【課題】 ウェーハに係わる様々な問題を解決するために、ウェーハマップを用いた2次元的な解析を補助する。

【解決手段】 画面上に、ウェーハマップの画像を製造工程やデバイスや検査等の項目毎に分類して表示する。ウェーハマップの画像以外に都連トレンドチャートも添付する。



## 【特許請求の範囲】

【請求項1】 半導体製造過程の各段階で得られる複数のウェーハマップに関するマップデータを作成して該マップデータに前記半導体製造過程との関連を示すリンカーを付する観測手段と、

前記複数のウェーハマップの各々に関連づけられたテキストデータを入力するための入力手段と、

前記半導体製造過程に関する所定のデータと前記観測手段からの前記リンカーが付された前記マップデータと前記入力手段からの前記テキストデータとを記憶するための記憶手段と、

前記記憶手段に記憶された前記半導体製造過程に関する前記所定のデータや前記テキストデータに係わる画像を表示することが可能であるとともに、前記記憶手段から前記マップデータを取り出して前記リンカーに従って分類し、前記マップデータに記述されたウェーハマップの画像を分類に従って画面に表示することが可能な画像表示手段とを備える、ウェーハマップ解析補助システム。

【請求項2】 前記画像表示手段は、前記テキストデータの中の数値データをグラフ化して表示するとともに、指定したウェーハマップに関連する数値データが表現されているグラフ上の位置を視覚的に識別可能に示すことを特徴とする、請求項1記載のウェーハマップ解析補助システム。

【請求項3】 前記マップデータは、各ウェーハマップの絶対座標および絶対寸法に関する情報を含み、

前記画像表示手段は、前記絶対座標および絶対寸法に関する情報を用い、複数のウェーハマップの画像を重ねて表示することを特徴とする、請求項1記載のウェーハマップ解析補助システム。

【請求項4】 前記マップデータは、各ウェーハマップの絶対座標および絶対寸法に関する情報を含み、

前記画像表示手段は、前記絶対座標および絶対寸法に関する情報を用い、前記ウェーハマップの画像をマスクデータの画像と重ねて表示することを特徴とする、請求項1記載のウェーハマップ解析補助システム。

【請求項5】 前記マップデータは、各ウェーハマップの絶対座標および絶対寸法に関する情報を含み、

前記画像表示手段は、前記絶対座標および絶対寸法に関する情報を用い、前記ウェーハマップの画像を形状シミュレーションの画像と重ねて表示することを特徴とする、請求項1記載のウェーハマップ解析補助システム。

【請求項6】 画像表示手段に表示される画像を用いてウェーハマップの解析を行うウェーハマップ解析方法であって、

半導体製造過程の各段階で得られる複数のウェーハマップに関するマップデータを作成して該マップデータに前記半導体製造過程との関連を示すリンカーを付する工程と、

前記複数のウェーハマップの各々に関連づけられたテキ

ストデータを入力する工程と、

前記半導体製造過程に関する所定のデータと、前記リンカーが付された前記マップデータと、入力された前記テキストデータとを記憶する工程と、

前記ウェーハマップの解析のため、記憶された前記半導体製造過程に関する前記所定のデータや前記テキストデータに係わる画像を前記画像表示手段に表示するとともに、記憶された前記マップデータを取り出して前記リンカーに従って分類し、前記マップデータに記述されたウェーハマップの画像を分類に従って前記画像表示手段に表示する工程とを備える、ウェーハマップ解析方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体製造過程で発生する製品不良等の様々な異常を、モニターに表示されるウェーハマップの画像を用いて解析するためのウェーハマップ解析補助システムおよびウェーハマップ解析方法に関するものである。

## 【0002】

【従来の技術】半導体製造ラインでは、製品ロットの処理前にベアウェーハ等のモニタウェーハを用い、各種製造装置の状態確認が行われる。製造装置の状態確認とは、製造装置の見せかけの運転を行い、試験用のウェーハへのごみの付着を確認したり、搬送チェック等を行うことで、製造装置が製造に適した状態にあることを確認することである。この状態確認の後、製品が所定ロット数だけ製造される。装置状態の確認で得られる数値データおよび製品処理後に得られる数値データは統計的品質管理等の手法を用いて製品の品質管理に利用される。数値データの例としては、ウェーハに付着したごみの数、ウェーハで発生した欠陥数、ウェーハ上に形成されたパターンの寸法、ウェーハに形成された膜の厚み、マスク重ね合わせ誤差の測定値、不純物濃度、ウェーハに形成された膜の抵抗などがある。

【0003】また、製造ラインで収集されるマップデータは、統計的品質管理（statistical quality control: SQC）において工程の安定性に疑問がでた場合や、歩留まりが規定の値よりも低いロットについてウェーハマップおよびチップ解析を行う場合に必須のデータとなっている。通常製造完了後に得られる電気特性データやテスト結果のマップデータを用いたトラブル原因の分析も行われる。

【0004】図7は従来のウェーハマップ解析補助システムの構成を説明するための概念図である。図7において、10は製造工程に関するデータ、11は統計的品質管理に関するデータ、12はマップデータ、13は断面不良解析に関するデータである。製造工程に関するデータには、製造の流れの他に、各製造工程において測定された数値データが含まれる。製造の流れは、前処理工程、成膜工程、写真製版工程、エッチング工程、および

欠陥検査工程等の各種工程の各製品製造に対応したつながりであり、製造の工程に関するデータは文書やコンピュータのデータ等として蓄積されてその中から必要なものが適宜検索される。統計的品質管理に関するデータ11は例えばグラフ等のような見やすい形に加工され提供される。マップデータ12は、装置管理用としてダミー運転で使用する試験用ウェーハに関するもの、実際の製造工程の中でサンプルとして抜き取られるウェーハに関するもの、製品として完成した後に各種テストをして得られるものを含む。マップデータ12は、ウェーハの画像上に各種の情報を表すものであるためデータ量が多くなる。断面不良解析に関するデータ13は、走査型電子顕微鏡を使って観察されるウェーハ断面の画像に関するデータである。これら統計的品質管理に関するデータ11やマップデータ12等も文書やコンピュータのデータとして提供される。

【0005】図8は製造工程と測定装置の関係の一例を示す概念図である。図8におけるステップST1～ST5は、前処理工程、成膜工程、写真製版工程、エッチング工程、および欠陥検査工程である。製造を開始する前に成膜工程でダミー運転を行い、モニタウェーハを用いた発塵検査を実施してもよい。ウェーハにゴミが付着した箇所の画像19がマップデータ19として集積される。ダミー運転に関しては他の工程でも実施される場合がある。

【0006】成膜工程ST2の後に、成膜された膜の厚みを測定し、マップデータ20aを作成する。マップデータ20aから、例えばウェーハマップ30のような画像が得られる。同様に、写真製版工程ST3、エッチング工程ST4、および欠陥検査工程ST5の各工程の後に、それぞれ、レジストパターンやエッチングパターンの測定または欠陥検査をし、マップデータ21a～23aを作成する。マップデータ21a～23aを用いて、例えばウェーハマップ31～33のような画像が得られる。

【0007】従来のウェーハマップ解析補助システムは、製造工程トラブルが発生したこと、工程の安定性に疑問がたこと、あるいは歩留まりが規定の値よりも低いロットが発生したことが製造後に判明した場合等の特別の場合に限り、製造工程に関するデータ10、統計的品質管理に関するデータ11、マップデータ12あるいは断面不良解析に関するデータ13などを個別に提示するようなシステムである。

【0008】

【発明が解決しようとする課題】従来のウェーハマップ解析補助システムは以上のように構成されており、数値管理だけを行っており、マップデータやイベント等の他のテキストデータは以上がなければ参照されないで、異常がデータの上で数値となって表れない限り、十分に機能しないという問題がある。

【0009】例えば、検査結果の数値データが同じであっても、正常時にはウェーハ上における分布がランダムでなければならないデータの数値が偏った分布を示す場合には近い将来トラブルが起きる可能性が高まっていることを示すけれども、数値管理だけを行ってれば、このような将来起きる可能性に対してまで警告を発するための解析には適さない。

【0010】また、ウェーハ内部のどのデバイスにどれほどの影響がでるかということまでは、数値だけによる統計的品質管理だけでは解析することが難しい。そして、不良解析を行うまでトラブルの要因が把握できないことになる。そのため、製造途中に察知していれば防げたかもしれないトラブルを見逃し、全てのロットがトラブルに巻き込まれるという問題がある。

【0011】この発明は上記の問題点を解消するためになされたもので、製造装置特有の傾向や故障前の前兆または生産品種の変更時に発生するマスクに起因する変動などのトラブルが製造途中で発生する可能性のあることをウェーハマップを用いて予測するために便利なウェーハマップ解析補助システムを提供することを目的とする。

【0012】

【課題を解決するための手段】第1の発明に係るウェーハマップ解析補助システムは、半導体製造過程の各段階で得られる複数のウェーハマップに関するマップデータを作成して該マップデータに前記半導体製造過程との関連を示すリンカーを付する観測手段と、前記複数のウェーハマップの各々に関連づけられたテキストデータを入力するための入力手段と、前記半導体製造過程に関する所定のデータと前記観測手段からの前記リンカーが付された前記マップデータと前記入力手段からの前記テキストデータとを記憶するための記憶手段と、前記記憶手段に記憶された前記半導体製造過程に関する前記所定のデータや前記テキストデータに係わる画像を表示することが可能であるとともに、前記記憶手段から前記マップデータを取り出して前記リンカーに従って分類し、前記マップデータに記述されたウェーハマップの画像を分類に従って画面に表示することが可能な画像表示手段とを備えて構成される。

【0013】第2の発明に係るウェーハマップ解析補助システムは、第1の発明のウェーハマップ解析補助システムにおいて、前記画像表示手段は、前記テキストデータの中の数値データをグラフ化して表示するとともに、指定したウェーハマップに関連する数値データが表現されているグラフ上の位置を視覚的に識別可能に示すことを特徴とする。

【0014】第3の発明に係るウェーハマップ解析補助システムは、第1の発明に係るウェーハマップ解析補助システムにおいて、前記マップデータは、各ウェーハマップの絶対座標および絶対寸法に関する情報を含み、前

記画像表示手段は、前記絶対座標および絶対寸法に関する情報を用い、複数のウェーハマップの画像を重ねて表示することを特徴とする。

【0015】第4の発明に係るウェーハマップ解析補助システムは、第1の発明に係るウェーハマップ解析補助システムにおいて、前記マップデータは、各ウェーハマップの絶対座標および絶対寸法に関する情報を含み、前記画像表示手段は、前記絶対座標および絶対寸法に関する情報を用い、前記ウェーハマップの画像をマスクデータの画像と重ねて表示することを特徴とする。

【0016】第5の発明に係るウェーハマップ解析補助システムは、第1の発明のウェーハマップ解析補助システムにおいて、前記マップデータは、各ウェーハマップの絶対座標および絶対寸法に関する情報を含み、前記画像表示手段は、前記絶対座標および絶対寸法に関する情報を用い、前記ウェーハマップの画像を形状シミュレーションの画像と重ねて表示することを特徴とする。

【0017】第6の発明に係るウェーハマップ解析方法は、画像表示手段に表示される画像を用いてウェーハマップの解析を行うウェーハマップ解析方法であって、半導体製造過程の各段階で得られる複数のウェーハマップに関するマップデータを作成して該マップデータに前記半導体製造過程との関連を示すリンカーを付する工程と、前記複数のウェーハマップの各々に関連づけられたテキストデータを入力する工程と、前記半導体製造過程に関する所定のデータと、前記リンカーが付された前記マップデータと、入力された前記テキストデータとを記憶する工程と、前記ウェーハマップの解析のため、記憶された前記半導体製造過程に関する前記所定のデータや前記テキストデータに係わる画像を前記画像表示手段に表示するとともに、記憶された前記マップデータを取り出して前記リンカーに従って分類し、前記マップデータに記述されたウェーハマップの画像を分類に従って前記画像表示手段に表示する工程とを備えて構成される。

【0018】

【発明の実施の形態】

実施の形態1. 図1は、実施の形態1によるウェーハマップ解析補助システムの構成を示すブロック図である。図1において、1は半導体製造過程の各段階で得られる複数のウェーハマップに関するマップデータを作成して該マップデータに半導体製造過程との関連を示すリンカーを付する観測手段、2は複数のウェーハマップの各々に関連づけられた数値データを入力するための入力手段、3は半導体製造過程に関するデータとリンカーが付されたマップデータと数値データとを記憶するための記憶手段、4は半導体製造過程に関するデータや数値データに係わる画像を表示することが可能であるとともに、記憶手段からマップデータを取り出してリンカーに従って分類し、マップデータに記述されたウェーハマップの画像を画面に分類に従って表示することが可能な画像表

示手段である。

【0019】観測手段1には例えば図8に示す膜厚測定装置20等の各種測定装置や欠陥検査装置23等が含まれる。従来はこれらの装置が個別にデータ20a~23aを保持していたが、ラインの処理装置、例えば膜厚計測装置20等がコンピュータとオンラインで結ばれていれば、各装置での処理が終了する度に計上される処理記録、例えば各装置での処理開始や終了日時等を用いてCGI(Common GatewayInterface)や、サンマイクロシステムズ社製のJAVA(登録商標)等のソフトウェアを用いてデータ収集、加工を行う。このように収集され、加工されたデータはデータベースとして記憶手段3に蓄積される。記憶手段3に蓄積すべき必要なデータとしては、処理開始日時、終了日時、処理作業者、ロットにおけるプロセスシーケンス番号、プロセス名、処理装置コード、処理レシピ、処理パラメータ、コメント注釈、処理ウェーハ枚数、処理結果等がある。必要とするデータの中で観測手段1から直接送信されないものについては、入力手段2を用いて記憶手段3に入力する。入力手段2には例えばコンピュータの端末などがある。なお、データファイル形式としては、任意のHTML発生プログラムが取り扱うことのできるファイル、例えばCSV、SYLK等がある。また、データアップデート方法としては、定期、不定期、自動、半自動、手動を問わない。記憶手段3に蓄積された上記の必要データは、文字情報としてあるいはグラフに加工されて画像表示手段4に表示される。グラフは、データをデバイス別、装置別に表示する場合がある。必要データに各所装置の処理開始日時や処理終了日時が含まれているので、データの並びは製造に係わる任意の処理工程日を指定できる条件でプロットが可能である。グラフは、インターネットブラウザを用いる場合、データを前もってグラフ化したものをファイルフォーマット変換して利用する方法、ブラウザ自身にプラグインを用いて別アプリケーションから得たグラフをリンクさせる方法、JAVA言語を用いる方法等どのような手段を用いてもよい。

【0020】また、ウェーハマップを画面に表示するためには、製造ラインの処理装置がコンピュータとオンラインで結ばれている場合には、各処理装置でロットの処理が終了する度に、作成される画像データがビットマップ等の非圧縮ファイルであれば、インターネットブラウザ上で表示できるGIF(Graphics Interchange Format)、JPEG(Joint Photographic Expert Group)等の圧縮画像ファイルにフォーマット変換し、イベント毎に1ファイル若しくは関連ファイルを結合したものを1ファイルとしてデータベース化する。処理装置に付属するウェーハマップ出力装置がファイル出力する機能がない場合は、例えば紙に出力したものをスキャナで取り込む等の手段を用いてインターネットブラウザ上で表示できるファイルを作成してもよい。

【0021】ウェーハプロセス中に得られるウェーハマップとして、絶縁膜の膜厚、金属膜の膜厚、パターン寸法、不純物濃度、膜抵抗、パターン欠陥、異物、電気特性等に関するものがある。ウェーハプロセス完了時に得られるウェーハマップとしては、電気特性、テスト結果等に関するものがある。データファイル形式としては、インターネットブラウザ上で表示できるGIF、JPEG等のフォーマットがある。また、データアップデート方法としては、定期、不定期、自動、半自動、手動を問わない。記憶手段3に蓄積されたウェーハマップに関するマップデータは、画像として画像表示手段4に表示される。その際、マップデータ20a～23aと半導体製造過程との関連を明確にするために、観測手段1はリンカーとしてロット固有のファイル名に処理日時に関するデータを付する。

【0022】図2はウェーハマップ解析補助システムの構成の概念を示す概念図である。このシステムをインターネットブラウザを用いて実現する場合でも単体のアプリケーションを構築する場合でも、製造工程に関するデータ10、統計的品質管理に関するデータ11、マップデータ12、および断面不良解析に関するデータ13はデータベース14として蓄えられることを図2は示している。マップデータ12や断面不良解析に関するデータ13は例えば観測手段1から記憶手段3に蓄えられ、データベース14として記憶手段3に記憶される。製造工程に関するデータ10や統計的品質管理に関するデータ11は例えば入力手段2から入力され、データベース14として記憶手段3に記憶される。データベース14は、図1に示す記憶手段3に記憶されている。データベース14は、端末15を用いて検索される。この端末15は画像表示手段4に含まれる。

【0023】図3は実施の形態1によるウェーハマップ解析補助システムの画面構成の一例を示す絵画図である。図3に示す画面の構成は、大きく分けて、上段のデバイスに関するデータ表示領域と、下段の装置情報に関するデータ表示領域の2つに分割されている。50はデバイスに関する情報が表示されている領域、51～53は領域50で選択された3つのロットの製造工程に関する情報がそれぞれ記載されている領域、54～56はそれぞれ3つのロットに関するものであって製造工程中に得られるウェーハマップの集合、57～59はそれぞれ3つのロットに関するものであって電気特性の測定で得られるウェーハマップの集合、60～62はそれぞれ3つのロットに関するものであってテスト結果を示すウェーハマップの集合、63～72は各種のトレンドチャートである。

【0024】トレンドチャート63は所定期間の歩留まりの変化に関し、トレンドチャート64、67および72は異なる箇所の所定期間の膜厚寸法の変化に関し、トレンドチャート65、70は異なる箇所の所定期間のパ

ターンのレジスト寸法の変換に関し、トレンドチャート66、67は異なる箇所の所定期間のパターンの仕上がり寸法の変化に関し、トレンドチャート68は所定期間の不純物濃度の変化に関し、トレンドチャート69は所定期間の抵抗値の変化に関する。

【0025】デバイスに関する情報が表示されている領域50には、デバイスの種類やロット番号等が記載される。このロット番号を選択することで、上段の画面にそのロットに関する情報が記載される。製造工程に関する領域51～53には、対応するロットに関し、処理日付、順序番号、工程名、レシピ、パラメータ、処理結果および判定などが記載される。領域54～56にはウェーハマップが3行4列表示されているが、この場合に行が異なれば工程や装置が異なる。また、行の違いに異なる意味を持たせることもできる。画面レイアウトに関しては、図3に示すように、縦・横どちらのレイアウト構成時にいっても、同一ウェーハ番号の処理結果が一列（または1行）に並び、比較を行う一連のマップを任意の時系列で表示し、マップの経時変化が把握できるように配置されている。枠73～75はそれぞれのロットにおける同一ウェーハ番号に属するウェーハマップを示している。また、その領域に全ての情報を記載しきれないときには、矢印で示す方向に画面をスクロールすることができる。各々のマップデータが画面上でスクロールしてもよく、計算機のオペレーティングシステム上のメニューからスクロール表示させても構わない。

【0026】次に、ウェーハマップ解析補助システムを歩留まりが低いロットの要因分析に用いる場合について説明する。トレンドチャート63から歩留まりが低いロットと標準的なロットを抽出する。領域50に表示されているロットの中から、この抽出したロットを選択する。この選択を行うことによって、そのロットに対応するウェーハマップが例えば領域54～62に示すように表示される。歩留まりが低いロットと標準的なロットとの間で、ウェーハマップを比較することによって標準的な歩留まりを持つロットにない分布の偏りを視覚的に見出しやすくなる。一連のロットに関するウェーハマップの表示完了後、異常なウェーハマップの検索とそのウェーハマップのパターンに近似する同種または異種ロットのウェーハマップを検索する。

【0027】製造工程中のデバイス情報を表示するウェーハマップ、電気特性を表示するウェーハマップ、およびテスト結果を表示するウェーハマップ等のマップ間の比較を同一デバイスおよび異品種間で比較することにより、少量他品種生産ラインにおいても機能する。テスト結果を表示するウェーハマップとして、例えばDRAMであれば、フェイルビットマップ(Fail Bit Map)がある。図3において、80は製造工程に関する情報を選択するための領域、81は装置を選択するための領域、82は装置毎にデータを示したトレンドチャートを表示す

る領域、83～85は異なる装置のウェーハマップを上  
の行から順に下に向けて時系列で並べた領域である。領  
域80には、製造工程に関する情報として該当デバイ  
スの製造年月日または範囲指定のための指定期間が表示  
されている。領域82に表示されたトレンドチャートは、  
装置間のデータを監視するためのものである。

【0028】ウェーハマップ解析補助システムをウェー  
ハマップ検索後に付帯データを用いて異常なウェーハマ  
ップ発生原因を推定する場合について説明する。ロッ  
ト、装置情報を問わず、該当デバイスの製造年月日もし  
くは製造期間の範囲を指定することで、全マップデータ  
を時系列に表示する(領域83～85)。装置データに  
は、処理履歴、メンテナンス履歴、アラーム履歴、定期  
発塵チェック等のテキストデータも含み、特にモニタウ  
ェーハを使用して得る定期発塵チェック用ウェーハマ  
ップは、他のテキスト情報と一緒に符号86で示す列を用  
いて画像表示する。なお、測定ウェーハは、上記デバイ  
スにおけるウェーハマップの表示と同様に、ウェーハ間  
の履歴が確認できるように同一ウェーハ番号でウェーハ  
マップを並べる。図3に示す領域83～86については  
その一列が同一ウェーハ番号となっている。

【0029】このように、異常なウェーハマップが製造  
途中若しくは製造完了後に見つかった場合、図3の下段  
に示したような製造工程に関する情報を画面に集約する  
ことで、異常ウェーハマップの発生原因と発生日時を特  
定することができる。

【0030】さらに、同時期にその他同一トラブルを受  
けたかもしれないロットの一覧も、領域80から全処理  
履歴を用いて検索することで、対処が容易になり、トラ  
ブルを受けた可能性のあるロットに対して的確に処理で  
きる。

【0031】図3において、第1の領域50と第2の領  
域51～53と第3の領域54～56と第5の領域57  
～59と第6の領域60～62と第7の領域63～72  
と第8の領域80と第9の領域81と第10の領域83  
～85は、各領域毎に別々のHTML(Hyper Text Mar  
kup Language)ソース、つまり合計10個のHTMLソ  
ースから供給される。各々のHTMLソースに必要なデ  
ータは、データアップデート時に新規ファイル作成/デ  
ータ更新が行われる。全データが一つのワールドワイド  
ウェブサーバ上から発信される場合、テキストおよび画  
像ファイルを含む全データをワールドワイドウェブ上に  
ストアする。一方、データの種類によりワールドワイド  
ウェブサーバを分散させることもできる。この場合は、  
分散したファイルのディレクトリを確認することでHT  
MLによるテキストと画像ファイルのリンクが可能とな  
る。なお、HTMLの作成用ツールはどのようなツール  
であっても用いることもできる。図3の各画面をHTM  
Lのフレーム機能を用いて結合させるHTMLを作成  
し、所望のデータブラウザを完結する。

【0032】なお、実施の形態1の説明においては、3  
ロットの比較の場合を示したが、1ロットだけ若しくは  
その他の複数ロットの不良解析に使用することができ  
る。なお、その制御をインターネットブラウザでで行う  
場合には、HTMLによって制御し、単体のアプリケー  
ションで実現する場合にはそのアプリケーションないで  
プログラムするものとする。1ロットだけを選択してデ  
ータ解析を行う例を図について説明する。図4は画像表  
示手段3の画面を示す絵画図である。図4に示す画面が  
表示されたとき、オペレータは、まずロット選択領域9  
0のデバイスの選択肢90aの中からデバイスの種類を  
選択する。例えば、選択肢90aの中には、DRAMの  
タイプ1とか、SRAMのタイプ11のような選択肢が  
ある。デバイスの選択によって選択肢90bにはそのロ  
ットが表示されるので、ここでロットの選択を行う。選  
択されたロットについて、製造工程中に得られるウェー  
ハマップの集合およびそれに対する注釈92b、電気特  
性の測定で得られるウェーハマップの集合93b、テスト  
結果を示すウェーハマップの集合94bが表示され  
る。それらの表示は、インラインQCマップ領域92、  
電気特性領域93およびテスト結果領域94に表示され  
る選択肢92a～94aの欄で、それぞれ処理順、チャ  
ート番号、テスト番号を選択することによって対象が変  
更される。また、それらのデータはそれぞれインライン  
QCデータの領域95、電気特性の領域96およびテスト  
結果の領域97にグラフでも表示される。製造工程に  
関するグラフとして歩留まり、膜厚寸法、レジスト寸法  
のグラフがある。またここで、電気特性およびテスト結  
果のグラフは共に歩留まりのグラフである。そして、ウ  
ェーハマップが表示されているロットがグラフ上でわか  
るように白丸で表示されている。装置情報の領域98  
は、装置と日付範囲の選択で、ウェーハマップとイベ  
ント記述が時系列の表示を変更できるように構成されて  
いる。

【0033】実施の形態2。図5は実施の形態2による  
ウェーハマップ解析補助システムの画面構成を示す絵画  
図である。図5の上段は、数値データおよびマップデ  
ータに関するものであって図4の表示と同じである。図5  
の下段は、ウェーハマップの合成による解析のための表  
示である。この下段の表示には、合成に係わるウェーハ  
マップ以外にマスクデータおよびシミュレーション画像  
データも含まれる。合成するための材料となるマップ合  
成用オリジナルマップを表示する領域100に、ウェー  
ハマップが表示される。ここでは、領域100に表示さ  
れているオリジナルマップ101～104が上段の各領  
域から選択されたウェーハマップである。これらオリジ  
ナルマップ101～104を合成して作成されたマップ  
が合成マップ105である。

【0034】マップの合成を行うには、図1に示す画像  
表示手段4を用いて、図5の上段のマップデータを選択

11

するとともに個々のウェーハマップに透明度を含む色彩設定を行って、個々のウェーハマップが重なっても情報が区別できるようにする。次に、一覧表示画面にオリジナルマップ101~104を配置する。オリジナルマップ101~104は各マップデータから引き継いだ絶対座標を用いて共通する座標を持つように座標変換が施される。また、オリジナルマップ101~104はマップデータから引き継いだ絶対寸法を持っており、その絶対寸法を考慮して重ね合わせるマップの寸法が実際の寸法の比を反映するように重ね合わされる。マップ合成用オリジナルマップ領域100の中からさらに合成するオリジナルマップを選択することによりマップ合成を行う。ここで示した合成マップ105においては、オフセット、つまり各オリジナルマップを完全に重ねて表示している。そのためオリジナルマップが重なっていることが容易に知覚されるが、図6に示すようにオフセットを入れて表示してもよく、その場合にウェーハおよびその中のチップを示す画像は、一つのオリジナルマップと同じになる。合成マップ105の下領域106には、合成されたオリジナルマップに関する座標、サイズ、分類等が表示される。領域106の合成結果の中のリストをマウスのポイント等で選択することによって合成マップ105の中でそのリストに対応するポイントが点滅する。【0035】また、合成マップ105の一部を拡大して解析の補助をすることもできる。マップ合成拡大図107は、合成マップ105の中の指定された部分の拡大図である。オリジナルマップ101はテスト結果を表示しているため、オリジナルマップ101の拡大図を表示する領域108には、拡大したチップの境界部分だけのテストデータが良品(二重丸)やスベック割れ(白三角)等を示す記号によって表示される。それでもオリジナルマップ101は、チップの配置などに絶対寸法を反映している。オリジナルマップ102の拡大図を表示する領域109には、拡大したチップ境界分だけの電気特性結果が規格内か規格外かを示す数字とともに表示される。例えば規格内を「0.2」とし、規格外を「1.5」とする。オリジナルマップ102もチップの配置などに絶対寸法を反映している。オリジナルマップ103は製造工程中の製品ウェーハ上における異物を表示しているため、オリジナルマップ103の拡大図を表示する領域110には、拡大したチップの境界線と異物が表示される。この異物の大きさとウェーハの大きさは絶対寸法を考慮して正しい比率で表示される。オリジナルマップ104は装置状態チェック用のウェーハにおけるゴミの状態を表示するので、オリジナルマップ104の拡大図を表示する領域111には拡大したチップの境界線とウェーハに付着したゴミが表示される。このゴミの大きさとウェーハの大きさは絶対寸法を考慮して正しい比率で表示される。なお、オリジナルマップ101、102は測定結果をHTMLで表示することができる。オリジ

12

ナルマップ103、104には画像データがそのまま使用される。但し、拡大時の画像データに関しては、座標、サイズがマップ間で同一にした後で表示する。拡大時には、視覚的に同じように認識して比較するために、解像度も同一としておくことが望ましい。

【0036】ここで、領域112においては、マスクデータとウェーハマップとの重ね合わせを行う。図1に示した画像表示手段4は、マスクデータとウェーハマップの両方に共通する座標を作成する。そして、その共通の座標を用いて、領域110、111に示されている座標に対応する場所のマスクデータが表示され、同時に領域110に示される異物に関する拡大図と、領域111に示されるゴミに関する拡大図が重ね合わされる。その重ね合わされた表示113には、マスクデータの第1と第2のレイヤが表現されている。マスクデータとウェーハ上のマップデータを比較することにより、製造工程中に確認しにくい層間絶縁膜の下の配線レイアウト等が明確になり、異物やゴミと配線レイアウトとの関係から異物発生がチップに及ぼす影響を製造工程中で把握できる。領域112の表示114は、重ね合わされているオリジナルマップがどれであるかを示している。マスクデータは入力手段2から入力されて記憶手段3に記憶される。

【0037】同様に、形状シミュレータとマップデータの重ね合わせが可能である。ウェーハの座標が特定できれば、画像表示手段3においてその座標を形状シミュレータの位置に変換して形状シミュレータ上の位置とウェーハの座標とを一致させる。そのため、ウェーハの座標を特定できれば、形状シミュレータにおいてゴミや異物のある場所を表示することが可能になり、異常の発生箇所がどのような不良に結びつくかどうかを検証できる。この形状シミュレーション結果は入力手段2から入力されて記憶手段3に記憶される。ウェーハマップ上の位置と形状シミュレータと位置との関係を領域115で表示する。領域115では、形状シミュレーションによる画像をウェーハマップと同様の画像解像度をもって作成し、座標、サイズを統一して3次元で表現している。

【0038】上記機能をインターネットブラウザを用いて実現する場合には、マップデータ、マップ合成データ、拡大図に関するデータ、形状シミュレータのデータをクリックブルマップ若しくはCGI等のミドルウェアによるインタフェースによってリンクする。インターネットブラウザを用いて実現する場合は、図5に示した各分割画面をHTMLのフレーム機能を用いて結合させて所望のデータブラウザを完結する。専用アプリケーション化する場合は、マップ合成語にデータがオーバーラップするピクセル数を計算し、ある閾値の設定に従って、自動的にレイヤ間の因果関係を計算することも可能である。

【0039】なお、実施の形態2では、1ロットから得られるマップ合成について説明したが、任意の複数ロッ

トのマップデータを用いても同様にマップ合成は可能である。複数のロットを用いると、例えば、ある1工程におけるマップの類似性から、装置の不具合などが検証できる。

【0040】また、実施の形態2では、ウェーハマップの画面について色彩設定を行ってからマップ合成を行う場合について説明したが、マップ合成画面上でこれらの設定変更したり、レイヤ間の上下移動などを行うよう構成することもできる。

【0041】また、実施の形態2では、ウェーハマップを用い、例えばマスクデータや形状シミュレーション等の他のデータも2次元あるいは3次元的に画像表示することによってデータ解析を行うことができるが、これらのデータとの併用がなくてもウェーハマップ解析補助システムとして機能することはいうまでもない。

【0042】また、実施の形態1、2の説明では、全てのデータが一端末の一画面に集約されることを説明したが、複数のモニタ上にデータを分割して表示してもよく、上記実施の形態1、2と同様の効果を奏する。

【0043】また、実施の形態1、2では、各々のデータを管理するコンピュータ、データベースに関しての説明は行わなかったが、一台にデータが集約されていても、何台かのハードウェアにデータが分散していてもよく、各データがオンラインなどを通じて1台のコンピュータによって検索可能であり、各データ同士のつながりがとれていれば十分である。

【0044】また、実施の形態1、2でインターネットブラウザを用いる場合、画像表示用の画像データにGIF、JPEGを使用する例を示したが、その多度のようなフォーマットであっても、プラグインのデータ変換ツールを用いてブラウザ上に表示できれば画像データのデータフォーマットはどのようなものであってもよく、ウェーハマップの解像度を全ての種類に関して合成させた最も解析効率の高い場合のデータ構築に関して述べたが、全ウェーハマップの画像の解像度が一致せず、サイズが異なる場合も適用可能である。

【0045】また、実施の形態1、2では、マップデータへのリンクについては言及しなかったが、製造途中の製品で観察されるSEM画像写真などと工程やトレンドチャート等とのリンクおよびトレンドチャートと書類のリンクを行うこともできる。

【0046】

【発明の効果】以上のように、請求項1記載のウェーハ

マップ解析補助システムまたは請求項6記載のウェーハマップ解析方法によれば、画像表示手段に表示されるウェーハマップを用いて視覚により2次元的なデータ分布の偏りを判別することが容易になるため、製造工程の終了を待つことなく、製造工程途中においてもデータ解析が可能になる。

【0047】請求項2記載のウェーハマップ解析補助システムによれば、ウェーハマップとグラフとの関係を視覚的に直接認識できるため、解析効率が向上する。

【0048】請求項3記載のウェーハマップ解析補助システムによれば、ウェーハマップ同士を重ねることにより、ウェーハマップに表現されているデータの位置の違いを視覚的に認識できるので、ウェーハマップ同士の視覚的な比較を容易にする。

【0049】請求項4記載のウェーハマップ解析補助システムによれば、ウェーハマップとマスクとの重ね合わせからマスク上の異常が発生する可能性の高い箇所を推測でき、各レイヤ毎の解析が可能となる。

【0050】請求項5記載のウェーハマップ解析補助システムによれば、ウェーハマップの位置に対応する場所の形状シミュレーション結果からデバイスの異常が発生する可能性の高い箇所の形状を観察でき、実像を用いることなく、デバイス断面の解析が可能となる。

【図面の簡単な説明】

【図1】 実施の形態1によるウェーハマップ解析補助システムの構成の概要を示すブロック図である。

【図2】 実施の形態1によるウェーハマップ解析補助システムの構成を説明するための概念図である。

【図3】 実施の形態1によるウェーハマップ解析補助システムの画面構成の一例を示す絵画図である。

【図4】 実施の形態1によるウェーハマップ解析補助システムの画面構成の他の例を示す絵画図である。

【図5】 実施の形態2によるウェーハマップ解析補助システムの画面構成の一例を示す絵画図である。

【図6】 図5の中の合成マップの拡大図である。

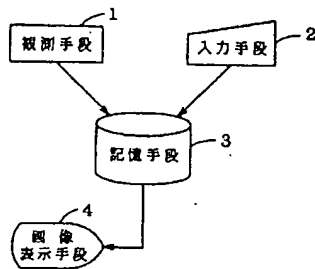
【図7】 従来のウェーハマップ解析補助システムの構成を説明するための概念図である。

【図8】 製造工程とウェーハマップとの関係を説明するための概念図である。

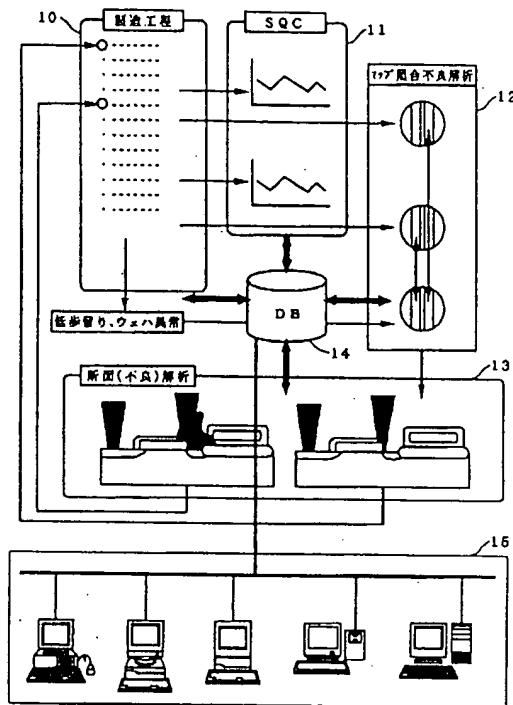
【符号の説明】

1 観測手段、2 入力手段、3 記憶手段、4 画像表示手段、14 データベース、15 端末。

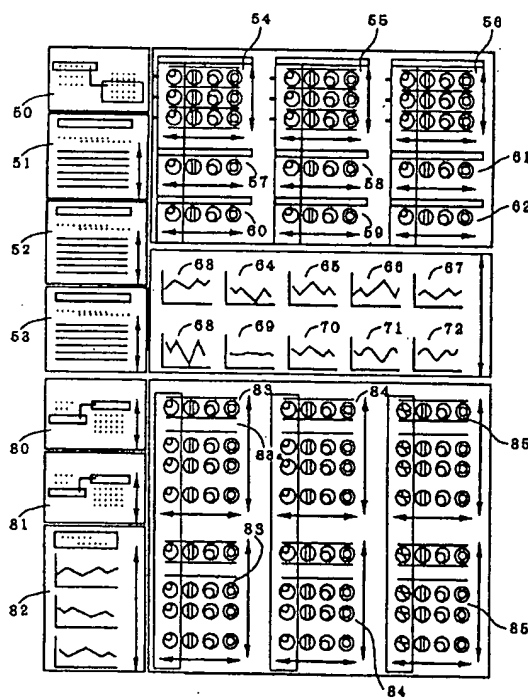
【図1】



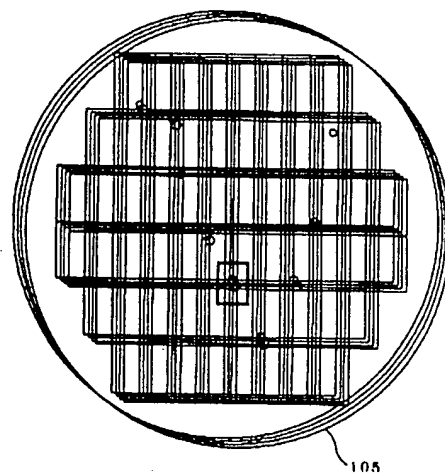
【図2】



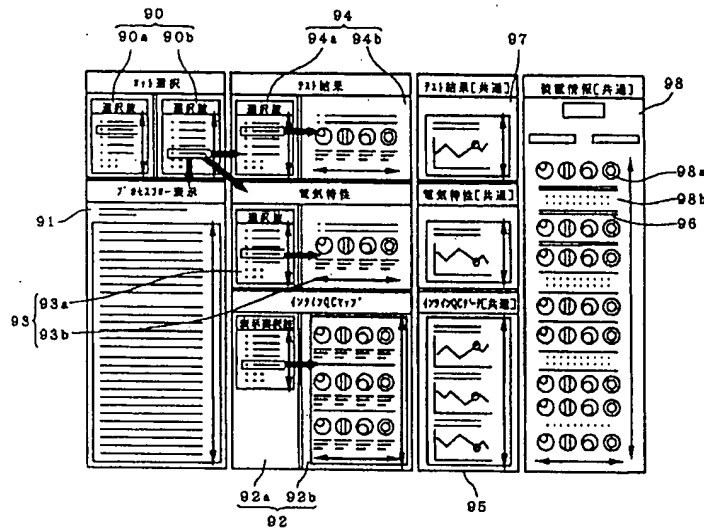
【図3】



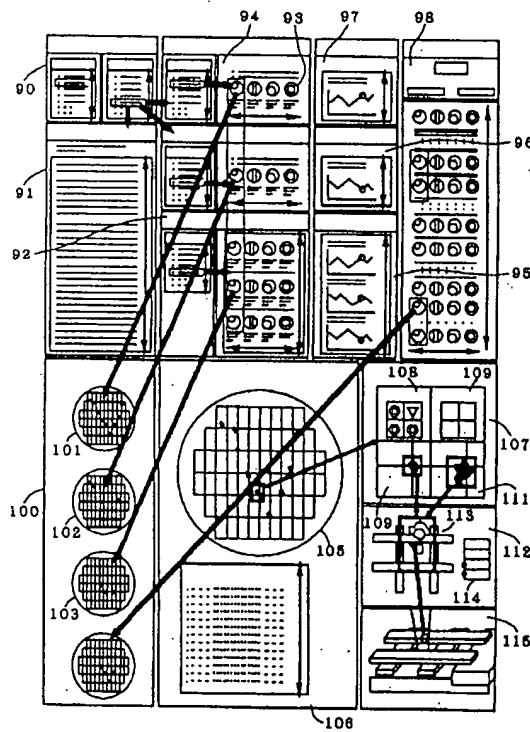
【図6】



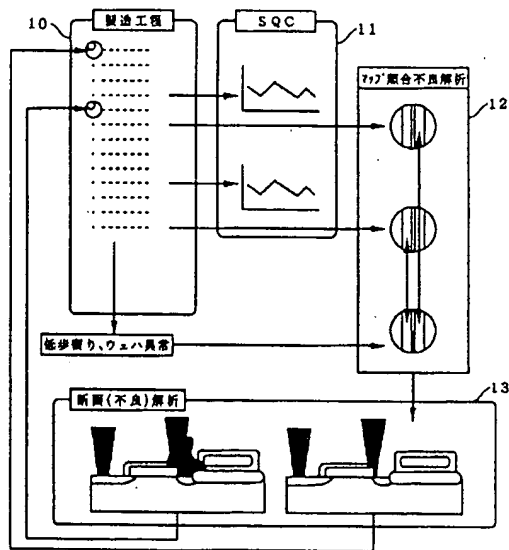
【図4】



【図5】



【図7】



【図8】

